

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-185502

(P2018-185502A)

(43) 公開日 平成30年11月22日(2018.11.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/32 (2016.01)	G09G 3/32 A	5C080
G09F 9/33 (2006.01)	G09F 9/33	5C094
G09G 3/20 (2006.01)	G09G 3/20 621M	5C380
H01L 33/00 (2010.01)	G09G 3/20 680G	5F142
	G09G 3/20 680H	
審査請求 有 請求項の数 10 O L (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2017-194601 (P2017-194601)	(71) 出願人	514121240 ルーメンズ カンパニー リミテッド
(22) 出願日	平成29年10月4日 (2017.10.4)		大韓民国 449-901 キョンギ道
(11) 特許番号	特許第6343082号 (P6343082)		ヨンイン市 キヘン区 ウォンゴメーロ
(45) 特許公報発行日	平成30年6月13日 (2018.6.13)		12
(31) 優先権主張番号	10-2017-0052792	(74) 代理人	110000051 特許業務法人共生国際特許事務所
(32) 優先日	平成29年4月25日 (2017.4.25)	(72) 発明者	シン, ウンソン 大韓民国 17086 京畿道 龍仁市
(33) 優先権主張国	韓国 (KR)		器興区 ウォンゴメーロ 12
		(72) 発明者	チョ, ドンヒー 大韓民国 17086 京畿道 龍仁市
			器興区 ウォンゴメーロ 12

最終頁に続く

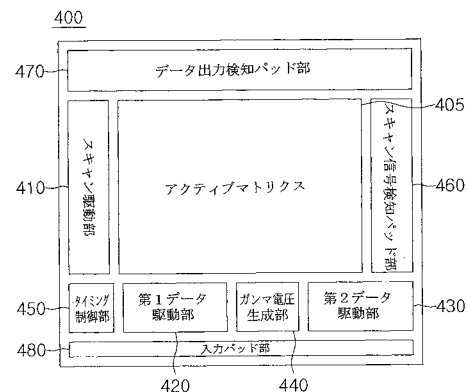
(54) 【発明の名称】 マイクロLEDディスプレイ装置及びその製造方法

(57) 【要約】 (修正有)

【課題】様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置を提供する。

【解決手段】複数のマイクロLEDピクセルが行と列に配列された平面視で矩形形状のマイクロLEDパネル、及び前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM(Active Matrix、アクティブマトリクス)回路部405と、前記AM回路部の外郭に配置される制御回路部410~480とを含むマイクロLED駆動基板(backplane)400を含み、前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置されることを特徴とする。

【選択図】 図15



【特許請求の範囲】

【請求項 1】

マイクロLEDディスプレイ装置であって、
複数のマイクロLEDピクセルが行と列に配列された平面視で矩形状のマイクロLEDパネル、及び

前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM (Active Matrix、アクティブマトリクス) 回路部と、前記AM回路部の外郭に配置される制御回路部とを含むマイクロLED駆動基板 (back plane) を含み、

前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置されることを特徴とするマイクロLEDディスプレイ装置。

10

【請求項 2】

前記複数のマイクロLEDピクセルと前記複数のCMOSセルとを電氣的に接続するバンプをさらに含むことを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【請求項 3】

前記マイクロLEDパネルは、前記マイクロLED駆動基板上にフリップチップボンディング (flip chip bonding) によって結合されることを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【請求項 4】

前記複数のマイクロLEDピクセルは、基板上に第1導電型半導体層、活性層及び第2導電型半導体層を順次成長させた後にエッチングして形成され、前記複数のマイクロLEDピクセルの垂直構造は、第1導電型半導体層、活性層及び第2導電型半導体層を順に含み、前記複数のマイクロLEDピクセルが形成されていない部分は、活性層及び第2導電型半導体層が除去されて第1導電型半導体層が露出されることを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

20

【請求項 5】

前記複数のマイクロLEDピクセルが形成されていない部分の第1導電型半導体層上には、前記複数のマイクロLEDピクセルから離隔するように第1導電型メタル層が形成されることを特徴とする、請求項 4 に記載のマイクロLEDディスプレイ装置。

【請求項 6】

前記第1導電型メタル層は、前記第1導電型半導体層上で前記マイクロLEDパネルの外郭に沿って形成されることを特徴とする、請求項 5 に記載のマイクロLEDディスプレイ装置。

30

【請求項 7】

前記第1導電型メタル層は、前記複数のマイクロLEDピクセルの共通電極として機能することを特徴とする、請求項 5 に記載のマイクロLEDディスプレイ装置。

【請求項 8】

前記マイクロLED駆動基板は、前記第1導電型メタル層に対応するように形成された共通セルを含み、前記第1導電型メタル層と前記共通セルはバンプによって電氣的に接続されることを特徴とする、請求項 5 に記載のマイクロLEDディスプレイ装置。

40

【請求項 9】

前記第1導電型メタル層は共通電極として前記マイクロLEDパネルの4辺に位置し、前記制御回路部の配置に応じて前記マイクロLEDパネルの2辺に位置する第1導電型メタル層を用いることを特徴とする、請求項 8 に記載のマイクロLEDディスプレイ装置。

【請求項 10】

前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする、請求項 4 に記載のマイクロLEDディスプレイ装置。

【請求項 11】

前記バンプは、前記複数のCMOSセルの各々に形成され、加熱によって溶解することによって、前記複数のCMOSセルの各々と前記複数のCMOSセルの各々に対応するマ

50

マイクロLEDピクセルとが電氣的に接続されることを特徴とする、請求項2に記載のマイクロLEDディスプレイ装置。

【請求項12】

前記制御回路部は、スキャン駆動部、第1データ駆動部、第2データ駆動部、ガンマ電圧生成部、タイミング制御部、スキャン信号検知パッド部、データ出力検知パッド部及び入力パッド部のうち少なくとも一つを含むことを特徴とする、請求項1に記載のマイクロLEDディスプレイ装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、マイクロLEDディスプレイ装置及びその製造方法に関し、より具体的には、様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法に関する。

【背景技術】

【0002】

発光素子(LIGHT EMITTING DEVICE、LED)は電気エネルギーを光エネルギーに変換する半導体素子の一種である。発光素子は、蛍光灯、白熱灯等の既存の光源に比べて低消費電力、半永久的な寿命、迅速な応答速度、安全性、環境親和性の長所を有する。

20

【0003】

そこで、既存の光源を発光素子に代替するための多くの研究が行われており、室内外で用いられる各種ランプ、液晶表示装置、電光掲示板、街灯等の照明装置の光源として発光素子を用いる場合が増加している。

【0004】

最近、LED産業では既存の伝統的な照明の範囲を越えて様々な産業にLEDを適用するための新しい試みがなされており、特に低電力駆動フレキシブルディスプレイ、人体モニタリングのための付着型情報表示素子、生体反応及びDNAセンシング、光遺伝学的な有効検証のためのバイオ融合分野、導電性繊維とLED光源が結合したPhotonics Textile分野等において研究が活発に行われている。

30

【0005】

一般にLEDチップを数～数十マイクロレベルに小さく製作すれば、無機物材料の特性上、曲がる時に壊れる短所を克服でき、フレキシブル基板にLEDチップを転写することによって柔軟性(flexibility)を付与して、前述したフレキシブルディスプレイのみならず、ウェアラブル機器及び人体挿入用医療機器まで様々な応用分野に広範囲に適用できる。但し、上述した応用分野にLED光源が適用されるためには薄く且つ柔軟なマイクロレベルの光源の開発が必須であり、LEDに柔軟性を付与するためには、互いに分離した、例えば薄膜GaN層からなるLEDチップを個別又は所望の配列でフレキシブル基板に転写する工程が求められる。

【0006】

40

一方、従来のマイクロLED技術は、半導体工程によりLEDピクセル単位を数マイクロ大きさに製作するのに成功した反面、ウェハー(wafer)大きさの限界により、マイクロLEDモジュールの大きさが制限されるという問題点がある。また、約1.2インチ以上のディスプレイを要求する製品の場合、別途の光学モジュールを必要とし、これは、ディスプレイモジュールの大きさを増加させるだけでなく、光効率を低下させる問題点を引き起こす。よって、様々な大きさのディスプレイを実現できるマイクロLEDモジュールを開発する必要がある。

【発明の概要】

【発明が解決しようとする課題】

【0007】

50

本発明の目的は、前述した問題及び他の問題を解決することにある。特に第１の目的は、ＣＭＯＳバックプレーン（back plane）の構造を変更して様々な大きさのディスプレイを実現できるマイクロＬＥＤディスプレイ装置及びその製造方法を提供することにある。

【０００８】

また他の目的は、マイクロＬＥＤパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるマイクロＬＥＤディスプレイ装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【０００９】

10

上記又は他の目的を達成するために、本発明の一側面によれば、複数のマイクロＬＥＤピクセルが行と列に配列された平面視で矩形状のマイクロＬＥＤパネル、及び前記複数のマイクロＬＥＤピクセルに対応する複数のＣＭＯＳセルを備えるＡＭ（Active Matrix、アクティブマトリクス）回路部と、前記ＡＭ回路部の外郭に配置される制御回路部とを含むマイクロＬＥＤ駆動基板（back plane）を含み、前記制御回路部は、前記マイクロＬＥＤパネルの４辺のうち隣接する２辺に沿って配置されることを特徴とするマイクロＬＥＤディスプレイ装置が提供される。

【発明の効果】

【００１０】

20

本発明の実施形態によるマイクロＬＥＤディスプレイ装置及びその製造方法の効果について説明すれば以下のとおりである。

【００１１】

本発明の実施形態のうち少なくとも一つによれば、マイクロＬＥＤディスプレイ装置に用いられるＣＭＯＳバックプレーンの構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

【００１２】

また、本発明の実施形態のうち少なくとも一つによれば、マイクロＬＥＤディスプレイ装置に用いられるマイクロＬＥＤパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

【００１３】

30

なお、本発明の実施形態のうち少なくとも一つによれば、第１タイプのマイクロＬＥＤディスプレイ装置と第２タイプのマイクロＬＥＤディスプレイ装置の方向転換及び組み合わせによって様々な大きさのディスプレイを実現できるという長所がある。

【００１４】

但し、本発明の実施形態によるマイクロＬＥＤディスプレイ装置及びその製造方法が達成できる効果は以上で言及したものに制限されず、言及していないまた他の効果は下記の記載によって本発明が属する技術分野で通常の知識を有する者に明らかに理解できるものである。

【図面の簡単な説明】

【００１５】

40

【図１】本発明の一実施形態によるマイクロＬＥＤパネルの断面図である。

【図２】本発明の一実施形態によるマイクロＬＥＤパネルの平面図である。

【図３】本発明の一実施形態によるマイクロＬＥＤパネルの製造方法を説明する図である。

。【図４】本発明の一実施形態によるマイクロＬＥＤパネルの製造方法を説明する図である。

。【図５】本発明の一実施形態によるマイクロＬＥＤパネルの製造方法を説明する図である。

。【図６】本発明の一実施形態によるマイクロＬＥＤパネルの製造方法を説明する図である。

。

50

【図 7】本発明の一実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 8】本発明の他の実施形態によるマイクロ LED パネルの断面図である。

【図 9】本発明の他の実施形態によるマイクロ LED パネルの平面図である。

【図 10】本発明の他の実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 11】本発明の他の実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 12】本発明の他の実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 13】本発明の他の実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 14】本発明の他の実施形態によるマイクロ LED パネルの製造方法を説明する図である。

【図 15】マイクロ LED ディスプレイ装置に用いられる一般的な CMOS バックプレーンの構造を説明する図である。

【図 16】本発明の一実施形態による CMOS バックプレーンの構造を説明する図である。

【図 17】本発明の他の実施形態による CMOS バックプレーンの構造を説明する図である。

【図 18】本発明の一実施形態によるマイクロ LED ディスプレイ装置を説明する図である。

【図 19】本発明の他の実施形態によるマイクロ LED ディスプレイ装置を説明する図である。

【図 20】ディスプレイ大きさを水平方向に 2 倍拡張したマイクロ LED ディスプレイ装置を説明する図である。

【図 21】ディスプレイ大きさを垂直方向に 2 倍拡張したマイクロ LED ディスプレイ装置を説明する図である。

【図 22】ディスプレイ大きさを 4 倍に拡張したマイクロ LED ディスプレイ装置を説明する図である。

【発明を実施するための形態】

【0016】

以下、添付図面を参照して本明細書に開示された実施形態を詳細に説明するが、図面符号に関わらず同一又は類似の構成要素には同一の参照番号を付け、これに対する重複する説明は省略することにする。以下の説明で用いられる構成要素に対する接尾辞「モジュール」及び「部」は明細書の作成の容易さだけが考慮されて付与又は使用されるものであって、そのもので互いに区別される意味又は役割を有するものではない。即ち、本発明で用いられる「部」という用語はソフトウェア、FPGA、又はASICなどのハードウェア構成要素を意味し、「部」はある役割を行う。しかし、「部」はソフトウェア又はハードウェアに限定される構成要素ではない。「部」はアドレッシングできる格納媒体にあるように構成されてもよく、一つ又はそれ以上のプロセッサを再生させるように構成されてもよい。よって、一例として、「部」はソフトウェア構成要素、オブジェクト指向ソフトウェア構成要素、クラス構成要素及びタスク構成要素のような構成要素と、プロセス、関数、属性、プロシージャ、サブルーチン、プログラムコードのセグメント、ドライバ、ファームウェア、マイクロコード、回路、データ、データベース、データ構造、テーブル、アレイ、及び変数を含む。構成要素としての「部」により提供される機能は結合されて、さらに小さい数の構成要素としての「部」を形成するか、又は追加の構成要素としての「部」にさらに分割され得る。

【0017】

また、本発明による実施形態を説明する際、各層（膜）、領域、パターン又は構造物が

10

20

30

40

50

、基板、各層（膜）、領域、パッド又はパターンの「上方／上（above、over）」に又は「下方／下（below、under）」に形成されると記載される場合、「上方／上」と「下方／下」は「直接（directly）」又は「他の層を介在して（indirectly）」形成されることを全て含む。また、各層の上部／上又は下部／下に対する基準は図面を基準に説明する。図面での各層の厚さや大きさは説明の便宜及び明確性のために誇張又は省略されるか又は概略的に図示されている。また、各構成要素の図上の大きさは実際の大きさを全面的に反映するものではない。

【0018】

なお、本明細書に開示された実施形態を説明する際、関連の公知技術に関する具体的な説明が本明細書に開示された実施形態の要旨を不要に濁す恐れがあると判断される場合には、その詳細な説明は省略する。また、添付された図面は本明細書に開示された実施形態を容易に理解できるようにするためのものに過ぎず、添付された図面によって本明細書に開示された技術的思想が制限されるものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物乃至代替物を含むものとして理解しなければならない。

【0019】

本発明は、CMOSバックプレーン（backplane）の構造を変更して様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法を提案する。以下、本実施形態に係るマイクロLEDディスプレイ装置においては、複数のマイクロLEDピクセルを含むマイクロLEDパネルと、前記複数のマイクロLEDピクセルを独立に駆動するための複数のCMOSセルを含むCMOSバックプレーンとがバンプ（bump）を介してフリップチップボンディングされて形成される。

【0020】

以下では、本発明の様々な実施形態について図面を参照して詳細に説明する。

図1は本発明の一実施形態によるマイクロLEDパネル100の断面図であり、図2は本発明の一実施形態によるマイクロLEDパネル100の平面図である。

【0021】

図1及び図2を参照すれば、本発明に係るマイクロLEDパネル（又はマイクロLEDアレイ）100は、ウェハー上に積層された複数の発光素子（即ち、複数のマイクロLEDピクセル）がマトリクス状に配列されたアレイ（array）構造を有するLEDパネルであって、画像表示機器の画像信号に対応する光（light）を出力する機能を果たす。この時、前記複数のマイクロLEDピクセルはウェハー上に行と列に配列され、各々のピクセルは数 μm の大きさを有する。

【0022】

このようなマイクロLEDパネル100は、成長基板110、成長基板110上の第1導電型半導体層120、第1導電型半導体層120上の活性層130、活性層130上の第2導電型半導体層140、第1導電型半導体層120上の第1導電型メタル層160、第2導電型半導体層140上の第2導電型メタル層150、及びパッシベーション層170を含む。

【0023】

成長基板110は、透光性を有する材質、例えば、サファイア（ Al_2O_3 ）、単結晶基板、SiC、GaAs、GaN、ZnO、AlN、Si、GaP、InP、Geのうち少なくとも一つからなるが、これらに限定されない。

【0024】

第1導電型半導体層120は、n型ドーパントがドーブされたIII族-V族元素の化合物半導体を含み得る。このような第1導電型半導体層120は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ ）の組成式を有する半導体材料、具体的には、InAlGaN、GaN、AlGaN、AlInN、InGaN、AlN、InN等から選択され、Si、Ge、Sn等のn型ドーパントがドーブされる。

【0025】

活性層130は、第1導電型半導体層120を介して注入される電子（又は正孔）と第

10

20

30

40

50

2 導電型半導体層 140 を介して注入される正孔（又は電子）が結合して、活性層 130 の形成物質に応じたエネルギーバンド（Energy Band）のバンドギャップ（Band Gap）差によって光を放出する層である。活性層 130 は単一量子井戸構造、多重量子井戸構造（MQW: Multi Quantum Well）、量子ドット構造又は量子線構造の何れか一つにより形成できるが、これらに限定されない。活性層 130 は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料からなり得る。活性層 130 が多重量子井戸構造により形成された場合、活性層 130 は複数の井戸層と複数の障壁層が交互に積層されて形成される。

【0026】

第 2 導電型半導体層 140 は、p 型ドーパントがドーブされた III 族 - V 族元素の化合物半導体を含み得る。このような第 2 導電型半導体層 140 は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料、具体的には、 InAlGaN 、 GaN 、 AlGaN 、 InGaN 、 AlInN 、 AlN 、 InN 等から選択され、 Mg 、 Zn 、 Ca 、 Sr 、 Ba 等の p 型ドーパントがドーブされる。

【0027】

第 2 導電型半導体層 140 上には第 2 導電型メタル層（即ち、p 電極）150 が形成され、第 1 導電型半導体層 120 上には第 1 導電型メタル層（即ち、n 電極）160 が形成される。

【0028】

例えば、図 2 に示すように、第 2 導電型メタル層 150 は、各々のマイクロ LED ピクセルに対応する第 2 導電型半導体層 140 上に配置され、CMOS バックプレーンに備えられた各々の CMOS セルとバンプ（bump）を介して電氣的に接続される。

【0029】

第 1 導電型メタル層 160 は、第 1 導電型半導体層 120 のメサエッチングされた領域上に配置され、前記複数のマイクロ LED ピクセルから一定距離だけ離隔して形成される。第 1 導電型メタル層 160 は、第 1 導電型半導体層 120 上でマイクロ LED パネル 100 の外郭に沿って所定の幅を有して形成される。第 1 導電型メタル層 160 の高さは、前記複数のマイクロ LED ピクセルの高さと概して同一に形成される。第 1 導電型メタル層 160 は、バンプによって CMOS バックプレーンの共通セルと電氣的に接続され、マイクロ LED ピクセルの共通電極として機能する。例えば、第 1 導電型メタル層 160 は共通接地である。

【0030】

このような第 1 導電型メタル層 160 及び第 2 導電型メタル層 150 は、マイクロ LED パネル 100 に形成された複数のマイクロ LED ピクセルに電源を提供する。

【0031】

第 1 導電型半導体層 120、活性層 130、第 2 導電型半導体層 140、第 1 導電型メタル層 160 及び第 2 導電型メタル層 150 の少なくとも一側面にはパッシベーション層 170 が形成される。パッシベーション層 170 は、発光構造物 120、130、140 を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

【0032】

マイクロ LED パネル 100 に形成された発光素子（即ち、マイクロ LED ピクセル）は、化合物半導体の組成比に応じて互いに異なる波長の光を放射する。マイクロ LED パネル 100 に含まれた発光素子が赤色 LED 素子の場合、マイクロ LED パネル 100 は赤色 LED パネルとなる。マイクロ LED パネル 100 に含まれた発光素子が緑色 LED 素子の場合、マイクロ LED パネル 100 は緑色 LED パネルとなる。マイクロ LED パネル 100 に含まれた発光素子が青色 LED 素子の場合、マイクロ LED パネル 100 は青色 LED パネルとなる。一方、マイクロ LED パネル 100 は、特定波長を出力する複数の発光素子に R/G/B 蛍光体又は R/G/B カラーフィルタ等を結合してフルカラー

10

20

30

40

50

(full color)を実現できる。

【0033】

マイクロLEDパネル100に形成された複数のマイクロLEDピクセルとCMOSバックプレーン上に形成された複数のCMOSセルが一对一に対応して連結されるようにバンパを用いてフリップチップボンディング(flip chip bonding)することによってマイクロLEDディスプレイ装置が構成される。この時、マイクロLEDパネル100に形成された第1導電型メタル層160及び第2導電型メタル層150は、前記バンパを介してCMOSバックプレーンと電氣的に接続される。

【0034】

図3～図7は、本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

図3を参照すれば、成長基板110上に第1導電型半導体層120、活性層130及び第2導電型半導体層140を順次成長させて発光構造物120、130、140を形成することができる。

【0035】

成長基板110は、透光性を有する材質、例えば、サファイア(Al_2O_3)、単結晶基板、SiC、GaAs、GaN、ZnO、AlN、Si、GaP、InP、Geのうち少なくとも一つからなり得るが、これらに限定されない。

【0036】

第1導電型半導体層120は、 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)の組成式を有する半導体材料、例えば、InAlGaN、GaN、AlGaN、AlInN、InGaN、AlN、InN等から選択され、Si、Ge、Sn等のn型ドーパントがドーパされる。このような第1導電型半導体層120は、トリメチルガリウム(TMGa)ガス、アンモニア(NH_3)ガス、シラン(SiH_4)ガスを水素ガスと共にチャンバー(chamber)に注入して形成される。成長基板110と第1導電型半導体層120との間に非ドーパの半導体層(図示せず)及び/又はバッファ層(図示せず)をさらに含み得るが、特にこれに限定されない。

【0037】

活性層130は、 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)の組成式を有する半導体材料からなることができる。このような活性層130は、トリメチルガリウム(TMGa)ガス、トリメチルインジウム(TMIn)ガス、アンモニア(NH_3)ガスを水素ガスと共にチャンバーに注入して形成されることができる。

【0038】

第2導電型半導体層140は、 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)の組成式を有する半導体材料、例えば、InAlGaN、GaN、AlGaN、InGaN、AlInN、AlN、InN等から選択され、Mg、Zn、Ca、Sr、Ba等のp型ドーパントがドーパされる。このような第2導電型半導体層140は例えば、トリメチルガリウム(TMGa)ガス、アンモニア(NH_3)ガス、ビス(エチルシクロペンタジエニル)magnesium、 $\{(EtCp)_2Mg\}$ 、又は $\{Mg(C_2H_5C_5H_4)_2\}$ ガスを水素ガスと共にチャンバーに注入して形成される。

【0039】

図4を参照すれば、発光構造物120、130、140に対して単位ピクセル領域に応じてアイソレーションエッチング(isolation etching)工程を行って複数の発光素子を形成する。例えば、前記アイソレーションエッチングは、ICP(Inductively Coupled Plasma)のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第1導電型半導体層120の一つの上面が露出される。この時、共通電極(即ち、n電極)160を形成するために、第1導電型半導体層120の周縁領域は、所定の幅を有するようにエッチングされる。

10

20

30

40

50

【 0 0 4 0 】

図 5 及び図 6 を参照すれば、第 2 導電型半導体層 1 4 0 の一つの上面に第 2 導電型半導体層 1 4 0 の一部を被覆する第 2 導電型メタル層 1 5 0 を形成し、露出した周縁領域の第 1 導電型半導体層 1 2 0 の一つの上面に第 1 導電型メタル層 1 6 0 を形成する。

この時、第 1 及び第 2 導電型メタル層 1 6 0、1 5 0 は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

【 0 0 4 1 】

図 7 を参照すれば、成長基板 1 1 0、発光構造物 1 2 0、1 3 0、1 4 0、第 1 導電型メタル層 1 6 0 及び第 2 導電型メタル層 1 5 0 上にパッシベーション層 1 7 0 を形成し、第 1 及び第 2 導電型メタル層 1 5 0、1 6 0 の一つの上面が外部に露出するようにパッシベーション層 1 7 0 を選択的に除去する。その後、上述した工程により形成されたマイクロ LED パネル 1 0 0 を CMOS バックプレーン（図示せず）にフリップチップボンディングしてマイクロ LED ディスプレイ装置を形成する。

10

【 0 0 4 2 】

図 8 は本発明の他の実施形態によるマイクロ LED パネルの断面図であり、図 9 は本発明の他の実施形態によるマイクロ LED パネルの平面図である。

図 8 及び図 9 を参照すれば、本発明に係るマイクロ LED パネル 2 0 0 は、ウェハー上に積層された複数の発光素子（即ち、複数のマイクロ LED ピクセル）がマトリクス状に配列されたアレイ（array）構造を有する LED パネルであって、画像表示機器の画像信号に対応する光（light）を出力する機能を果たす。

20

【 0 0 4 3 】

このようなマイクロ LED パネル 2 0 0 は、成長基板 2 1 0、成長基板 2 1 0 上の第 1 導電型半導体層 2 2 0、第 1 導電型半導体層 2 2 0 上の活性層 2 3 0、活性層 2 3 0 上の第 2 導電型半導体層 2 4 0、第 1 導電型半導体層 2 2 0 上の第 1 導電型メタル層 2 6 0、第 2 導電型半導体層 2 4 0 上の第 2 導電型メタル層 2 5 0、及びパッシベーション層 2 7 0 を含む。

【 0 0 4 4 】

本実施形態において、成長基板 2 1 0、第 1 導電型半導体層 2 2 0、活性層 2 3 0、第 2 導電型半導体層 2 4 0、第 1 及び第 2 導電型メタル層 2 5 0、2 6 0、パッシベーション層 2 7 0 は、図 1 の成長基板 1 1 0、第 1 導電型半導体層 1 2 0、活性層 1 3 0、第 2 導電型半導体層 1 4 0、第 1 及び第 2 導電型メタル層 1 5 0、1 6 0、パッシベーション層 1 7 0 と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

30

【 0 0 4 5 】

第 2 導電型半導体層 2 4 0 上には第 2 導電型メタル層（即ち、p 電極）2 5 0 が形成され、第 1 導電型半導体層 2 2 0 上には第 1 導電型メタル層（即ち、n 電極）2 6 0 が形成される。

【 0 0 4 6 】

例えば、図 9 に示すように、第 2 導電型メタル層 2 5 0 は、各々のマイクロ LED ピクセルに対応する第 2 導電型半導体層 2 4 0 上に配置され、CMOS バックプレーンに備えられた各々の CMOS セルとバンプ（bump）を介して電氣的に接続される。

40

【 0 0 4 7 】

第 1 導電型メタル層 2 6 0 は、マイクロ LED パネル 2 0 0 の上面で左側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロ LED ピクセルの共通電極として機能する。一方、他の実施形態（図示しない）として、第 1 導電型メタル層 2 6 0 は、マイクロ LED パネル 2 0 0 の上面で右側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロ LED ピクセルの共通電極として機能する。このような第 1 及び第 2 導電型メタル層 2 5 0、2 6 0 は、マイクロ LED パネル 2 0 0 に形成された複数のマイクロ LED ピクセルに電源を提供する。

【 0 0 4 8 】

50

第１導電型半導体層２２０、活性層２３０、第２導電型半導体層２４０、第１導電型メタル層２６０及び第２導電型メタル層２５０の少なくとも一側面にはパッシベーション層２７０が形成される。パッシベーション層２７０は、発光構造物２２０、２３０、２４０を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

【００４９】

マイクロＬＥＤパネル２００に形成された複数のマイクロＬＥＤピクセルとＣＭＯＳバックプレーン上に形成された複数のＣＭＯＳセルが一對一に対応して連結されるようにバンパを用いてフリップチップボンディング（flip chip bonding）することによってマイクロＬＥＤディスプレイ装置が構成される。この時、マイクロＬＥＤパネル２００に形成された第１導電型メタル層２６０及び第２導電型メタル層２５０は、前記バンパを介してＣＭＯＳバックプレーンと電氣的に接続される。

10

【００５０】

図１０～図１４は、本発明の上記他の実施形態に係るマイクロＬＥＤパネルの製造方法を説明する図である。以下、本実施形態において、前記マイクロＬＥＤパネル製造方法は図３～図７のマイクロＬＥＤパネル製造方法と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

【００５１】

図１０を参照すれば、成長基板２１０上に第１導電型半導体層２２０、活性層２３０及び第２導電型半導体層２４０を順次成長させて発光構造物２２０、２３０、２４０を形成する。

20

【００５２】

図１１を参照すれば、発光構造物２２０、２３０、２４０に対して単位ピクセル領域に応じてアイソレーションエッチング（isolation etching）工程を行って複数の発光素子（即ち、複数のマイクロＬＥＤピクセル）を形成する。例えば、前記アイソレーションエッチングは、ＩＣＰ（Inductively Coupled Plasma）のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第１導電型半導体層２２０の一つの上面が露出される。

【００５３】

図１２及び図１３を参照すれば、第２導電型半導体層２４０の一つの上面に第２導電型半導体層２４０の一部を被覆する第２導電型メタル層２５０を形成し、メサエッチングされた第１導電型半導体層２２０の一つの上面に第１導電型メタル層２６０を形成することができる。図５及び図６の製造工程とは異なり、第１導電型メタル層２６０は第１導電型半導体層２２０の周縁領域の一部の領域にのみ形成される。この時、第１及び第２導電型メタル層２６０、２５０は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

30

【００５４】

図１４を参照すれば、成長基板２１０、発光構造物２２０、２３０、２４０、第１導電型メタル層２６０及び第２導電型メタル層２５０上にパッシベーション層２７０を形成し、第１及び第２導電型メタル層２６０、２５０の一つの上面が外部に露出するようにパッシベーション層２７０を選択的に除去する。その後、上述した工程により形成されたマイクロＬＥＤパネル２００をＣＭＯＳバックプレーン（図示せず）にフリップチップボンディングしてマイクロＬＥＤディスプレイ装置を形成することができる。

40

【００５５】

図１５は、マイクロＬＥＤディスプレイ装置に用いられる一般的なＣＭＯＳバックプレーンの構造を説明する図である。

図１５を参照すれば、一般的なＣＭＯＳバックプレーン（又は、マイクロＬＥＤ駆動基板）４００は、マイクロＬＥＤパネル１００と対向するように配置され、入力画像信号に対応してマイクロＬＥＤパネル１００に備えられる複数のマイクロＬＥＤピクセルを駆動する機能を果たす。

50

【 0 0 5 6 】

C M O S バックプレーン 4 0 0 は、複数のマイクロ L E D ピクセルを個別的に駆動させるための複数の C M O S セルを備えるアクティブマトリクス (A c t i v e M a t r i x) 回路部 4 0 5 と、アクティブマトリクス回路部 4 0 5 の外郭に配置される制御回路部 4 1 0 ~ 4 8 0 とを含むことができる。

【 0 0 5 7 】

アクティブマトリクス回路部 4 0 5 に備えられる複数の C M O S セルの各々は、パンプを介して対応するマイクロ L E D ピクセルに電氣的に接続される。よって、複数の C M O S セルの各々は、例えば、2 個のトランジスタと 1 個のキャパシタを含むピクセル駆動回路であり、パンプを用いて C M O S バックプレーン 4 0 0 にマイクロ L E D パネル 1 0 0 をフリップチップボンディングする場合、等価回路上、前記ピクセル駆動回路のトランジスタのドレーン端子と共通接地端子との間に個々のマイクロ L E D ピクセルが配置される形態に構成される。

10

【 0 0 5 8 】

C M O S バックプレーン 4 0 0 はマイクロ L E D パネル 1 0 0 の第 1 導電型メタル層 1 6 0 と対応する位置に形成された共通セル (図示せず) を含み、第 1 導電型メタル層 1 6 0 と共通セルはパンプを介して電氣的に接続される。

【 0 0 5 9 】

制御回路部は、スキャン駆動部 4 1 0、第 1 データ駆動部 4 2 0、第 2 データ駆動部 4 3 0、ガンマ電圧生成部 4 4 0、タイミング制御部 4 5 0、スキャン信号検知パッド部 4 6 0、データ出力検知パッド部 4 7 0 及び入力パッド部 4 8 0 を含む。

20

【 0 0 6 0 】

制御回路部を構成する回路 4 1 0 ~ 4 8 0 は、矩形に配置されたアクティブマトリクス回路部 4 0 5 の 4 辺 (即ち、上 / 下 / 左 / 右辺) に隣接した領域に配置される。一例として、図面に示すように、スキャン駆動部 4 1 0 はアクティブマトリクス回路部 4 0 5 の左方の領域に配置され、スキャン信号検知パッド部 4 6 0 はアクティブマトリクス回路部 4 0 5 の右方の領域に配置される。また、データ出力検知パッド部 4 7 0 はアクティブマトリクス回路部 4 0 5 の上方の領域に配置され、第 1 及び第 2 データ駆動部 4 2 0、4 3 0、ガンマ電圧生成部 4 4 0、タイミング制御部 4 5 0 及び入力パッド部 4 8 0 はアクティブマトリクス回路部 4 0 5 の下方の領域に配置される。

30

【 0 0 6 1 】

スキャン駆動部 4 1 0 は、タイミング制御部 4 5 0 から供給されたゲートタイミング制御信号 (G D C) に応答して、複数のマイクロ L E D ピクセルに対応するトランジスタが動作可能なようにゲート駆動電圧のシングレベルを発生させる信号をシフトさせつつスキャン信号を順次生成する。スキャン駆動部 4 1 0 は、スキャンラインを介して生成されたスキャン信号をマイクロ L E D パネル 1 0 0 に含まれた複数のマイクロ L E D ピクセルに供給する。

【 0 0 6 2 】

第 1 及び第 2 データ駆動部 4 2 0、4 3 0 は、タイミング制御部 4 5 0 から供給されたデータタイミング制御信号 (D D C) に応答して、タイミング制御部 4 5 0 から供給されるデジタル形態のデータ信号をサンプリングしラッチして並列データ体系のデータに変換する。第 1 及び第 2 データ駆動部 4 2 0、4 3 0 は、並列データ体系のデータに変換する時、デジタル形態のデータ信号をガンマ基準電圧に変換してアナログ形態のデータ信号を出力する。第 1 及び第 2 データ駆動部 4 2 0、4 3 0 は、データラインを介して前記アナログ形態のデータ信号をマイクロ L E D パネル 1 0 0 に含まれた複数のマイクロ L E D ピクセルに供給する。ここで、第 1 データ駆動部 4 2 0 はデータ信号をマイクロ L E D パネル 1 0 0 の左側領域に存在するマイクロ L E D ピクセルに供給し、第 2 データ駆動部 4 3 0 はデータ信号をマイクロ L E D パネル 1 0 0 の右側領域に存在するマイクロ L E D ピクセルに供給する。

40

【 0 0 6 3 】

50

ガンマ電圧生成部 440 は、ガンマ (gamma) 基準電圧を生成して第 1 及び第 2 データ駆動部 420、430 に提供する。

【0064】

タイミング制御部 450 は、外部から垂直同期信号 (Vsync)、水平同期信号 (Hsync)、データイネーブル信号 (Data Enable、DE)、クロック信号 (CLK)、データ信号 (DATA) 等の供給を受ける。タイミング制御部 450 は、垂直同期信号 (Vsync)、水平同期信号 (Hsync)、データイネーブル信号 (Data Enable、DE)、クロック信号 (CLK) 等のタイミング信号等を用いて、第 1 及び第 2 データ駆動部 420、430 とスキャン駆動部 410 の動作タイミングを制御する。

10

【0065】

タイミング制御部 450 から生成される制御信号には、スキャン駆動部 410 の動作タイミングを制御するためのゲートタイミング制御信号 (GDC) と第 1 及び第 2 データ駆動部 420、430 の動作タイミングを制御するためのデータタイミング制御信号 (DDC) が含まれる。

【0066】

ゲートタイミング制御信号 (GDC) には、ゲートスタートパルス (Gate Start Pulse、GSP)、ゲートシフトクロック (Gate Shift Clock、GSC)、ゲート出力イネーブル信号 (Gate Output Enable、GOE) が含まれる。データタイミング制御信号 (DDC) には、ソーススタートパルス (Source Start Pulse、SSP)、ソースサンプリングクロック (Source Sampling Clock、SSC)、ソース出力イネーブル信号 (Source Output Enable、SOE) が含まれる。

20

【0067】

スキャン信号検知パッド部 460 は、スキャン駆動部 410 から出力されるスキャン信号を検知するためのパッド (pads) を含む。データ出力検知パッド部 470 は、第 1 及び第 2 データ駆動部 420、430 から出力されるデータ信号を多重化 (multiplex) し、それを検知するためのパッド (pads) を含む。

【0068】

入力パッド部 480 は、外部信号を入力するためのパッドであって、RGB 入力パッド部、LVDS (Low voltage differential signaling) 入力パッド部、及び SPI (Serial Peripheral Interface) 入力パッド部を含む。

30

【0069】

CMOS バックプレーン 400 を介したマイクロ LED パネル 100 の制御動作を簡単に見てみれば、スキャン駆動部 410 は、イメージデータの提供時、全てのスキャンラインをスキャンし、そのうちの何れか一つ以上に H (high) 信号を入力してターンオン (turn on) させる。一方、第 1 及び第 2 データ駆動部 420、430 からイメージデータを複数のデータラインに供給すると、前記スキャンラインにおいてターンオン状態に置かれたマイクロ LED ピクセルのみが前記イメージデータを受信し、該イメージデータがマイクロ LED パネル 100 を介して表示される。このような方式で全てのスキャンラインが順次スキャンされて一つのフレーム (frame) に対するディスプレイが完了する。

40

【0070】

このような CMOS バックプレーン 400 上にマイクロ LED パネル 100 をフリップチップボンディング (flip chip bonding) してマイクロ LED ディスプレイ装置を形成する。

【0071】

図 16 は、本発明の一実施形態による CMOS バックプレーンの構造を説明する図である。

50

図 16 を参照すれば、本発明の一実施形態による CMOS バックプレーン（又は第 1 タイプの CMOS バックプレーン）500 は、マイクロ LED パネル 200 と互いに対向するように配置され、入力画像信号に対応してマイクロ LED パネル 200 に備えられる複数のマイクロ LED ピクセルを駆動する機能を果たす。

【0072】

CMOS バックプレーン 500 は、複数のマイクロ LED ピクセルを個別的に駆動させるための複数の CMOS セルを備えるアクティブマトリクス回路部 505 と、アクティブマトリクス回路部 505 の外郭に配置される制御回路部 510 ~ 580 とを含む。

【0073】

アクティブマトリクス回路部 505 に備えられる複数の CMOS セルの各々は、パンプを介して対応するマイクロ LED ピクセルに電氣的に接続される。CMOS バックプレーン 500 はマイクロ LED パネル 200 の第 1 導電型メタル層 260 と対応する位置に形成された共通セル（図示せず）を含み、第 1 導電型メタル層 260 と共通セルとはパンプを介して電氣的に接続される。

【0074】

制御回路部は、スキャン駆動部 510、第 1 データ駆動部 520、第 2 データ駆動部 530、ガンマ電圧生成部 540、タイミング制御部 550、スキャン信号検知パッド部 560、データ出力検知パッド部 570 及び入力パッド部 580 等を含む。

【0075】

本実施形態において、前記制御回路部を構成するスキャン駆動部 510、第 1 データ駆動部 520、第 2 データ駆動部 530、ガンマ電圧生成部 540、タイミング制御部 550、スキャン信号検知パッド部 560、データ出力検知パッド部 570 及び入力パッド部 580 は各々、上述した図 15 のスキャン駆動部 410、第 1 データ駆動部 420、第 2 データ駆動部 430、ガンマ電圧生成部 440、タイミング制御部 450、スキャン信号検知パッド部 460、データ出力検知パッド部 470 及び入力パッド部 480 と同一であるので、それに関する詳しい説明は省略する。

【0076】

一方、図 15 に示された一般的な CMOS バックプレーン 400 とは異なり、本実施形態による制御回路部を構成する回路 510 ~ 580 は、矩形に配置されたアクティブマトリクス回路部 505 の第 1 辺（即ち、左辺）及び第 2 辺（即ち、下辺）に隣接した領域にのみ配置されること。この場合、CMOS バックプレーン 500 は、回路 510 ~ 580 が配置された領域に対応するマイクロ LED パネル 200 上の共通電極（即ち、n 電極）を共用できる。

【0077】

一例として、図面に示すように、スキャン駆動部 510 及びスキャン信号検知パッド部 560 は、アクティブマトリクス回路部 505 の左方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 505 の左辺に隣接してスキャン駆動部 510 が配置され、その左方に隣接してスキャン信号検知パッド部 560 が配置される。

【0078】

第 1 及び第 2 データ駆動部 520、530、ガンマ電圧生成部 540、データ出力検知パッド部 570、タイミング制御部 550 及び入力パッド部 580 は、アクティブマトリクス回路部 505 の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 505 の下方に隣接してデータ出力検知パッド部 570 が配置され、その下方に隣接して第 1 及び第 2 データ駆動部 520、530 とガンマ電圧生成部 540 が配置され、更にその下方に隣接して入力パッド部 580 が配置される。また、タイミング制御部 550 は、データ出力検知パッド部 570 及び第 1 データ駆動部 520 の左方の隣接領域に配置される。

【0079】

一方、アクティブマトリクス回路部 505 の 2 辺に隣接して配置される回路 510 ~ 580 の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又

10

20

30

40

50

は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

【0080】

このようなCMOSバックプレーン500上にマイクロLEDパネル200をフリップチップボンディングして第1タイプのマイクロLEDディスプレイ装置を形成する。この時、前記第1タイプのマイクロLEDディスプレイ装置は最大1.22インチまで製作可能である。

【0081】

図17は、本発明の他の実施形態によるCMOSバックプレーンの構造を説明する図である。

10

図17を参照すれば、本発明の他の実施形態によるCMOSバックプレーン（又は第2タイプのCMOSバックプレーン）600は、上述の図16示されに示されたマイクロLEDパネル200に対して図において左右鏡像対象なマイクロLEDパネル300（図示せず）と互いに対向するように配置され、入力画像信号に対応してマイクロLEDパネル300に備えられる複数のマイクロLEDピクセルを駆動する機能を果たす。

【0082】

CMOSバックプレーン600は、複数のマイクロLEDピクセルを個別的に駆動させるための複数のCMOSセルを備えるアクティブマトリクス回路部605と、アクティブマトリクス回路部605の外郭に配置される制御回路部610～680とを含む。

【0083】

20

アクティブマトリクス回路部605に備えられる複数のCMOSセルの各々は、バンプを介して対応するマイクロLEDピクセルに電氣的に接続される。CMOSバックプレーン600は、マイクロLEDパネル300の第1導電型メタル層360（図示せず、マイクロLEDパネル200の第1導電型メタル層260とは、平面視で左右鏡像対称位置に配置されている）に対応する位置に形成された共通セル（図示せず）を含み、第1導電型メタル層360とCMOSバックプレーン600上の共通セル（図示せず）とはバンプを介して電氣的に接続される。

【0084】

制御回路部は、スキャン駆動部610、第1データ駆動部620、第2データ駆動部630、ガンマ電圧生成部640、タイミング制御部650、スキャン信号検知パッド部660、データ出力検知パッド部670及び入力パッド部680等を含む。

30

【0085】

本実施形態において、前記制御回路部を構成するスキャン駆動部610、第1データ駆動部620、第2データ駆動部630、ガンマ電圧生成部640、タイミング制御部650、スキャン信号検知パッド部660、データ出力検知パッド部670及び入力パッド部680は、上述した図15のスキャン駆動部410、第1データ駆動部420、第2データ駆動部430、ガンマ電圧生成部440、タイミング制御部450、スキャン信号検知パッド部460、データ出力検知パッド部470及び入力パッド部480と同一であるので、それに関する詳しい説明は省略する。

【0086】

40

一方、図15に示された一般的なCMOSバックプレーン400とは異なり、本実施形態による制御回路部を構成する回路610～680は、アクティブマトリクス回路部605の第1辺（即ち、右辺）及び第2辺（即ち、下辺）に隣接した領域にのみ配置される。この場合、CMOSバックプレーン600は、回路610～680が配置された領域に対応するマイクロLEDパネル300上の共通電極（即ち、n電極）を共用できる。

【0087】

一例として、図17に示すように、スキャン駆動部610及びスキャン信号検知パッド部660は、アクティブマトリクス回路部605の右方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部605の右辺に隣接してスキャン駆動部610が配置され、その右辺に隣接してスキャン信号検知パッド部660が配置される。

50

【 0 0 8 8 】

第 1 及び第 2 データ駆動部 6 2 0、6 3 0、ガンマ電圧生成部 6 4 0、データ出力検知パッド部 6 7 0、タイミング制御部 6 5 0 及び入力パッド部 6 8 0 は、アクティブマトリクス回路部 6 0 5 の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部 6 0 5 の下方に隣接してデータ出力検知パッド部 6 7 0 が配置され、その下方に隣接に第 1 及び第 2 データ駆動部 6 2 0、6 3 0 とガンマ電圧生成部 6 4 0 が配置され、更にその下方に隣接して入力パッド部 6 8 0 が配置される。また、タイミング制御部 6 5 0 は、データ出力検知パッド部 6 7 0 及び第 1 データ駆動部 6 2 0 の右方の隣接領域に配置される。

【 0 0 8 9 】

10

一方、アクティブマトリクス回路部 6 0 5 の 2 辺に隣接して配置される回路 6 1 0 ~ 6 8 0 の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

【 0 0 9 0 】

このような CMOS バックプレーン 6 0 0 上にマイクロ LED パネル 3 0 0 をフリップチップボンディングして第 2 タイプのマイクロ LED ディスプレイ装置を形成する。この時、前記第 2 タイプのマイクロ LED ディスプレイ装置は最大 1 . 2 2 インチまで製作可能である。

【 0 0 9 1 】

20

第 1 タイプのマイクロ LED ディスプレイ装置と第 2 タイプのマイクロ LED ディスプレイ装置は、同一の製造工程上で左 / 右位置だけ変更すれば良いので、別途の追加工程が不要であり、駆動ソフトウェアも上 / 下、左 / 右の対称オプションによって単一ソフトウェアの開発のみにより適用可能である。以下に、このような第 1 タイプのマイクロ LED ディスプレイ装置と第 2 タイプのマイクロ LED ディスプレイ装置を組み合わせることでディスプレイの大きさを拡張できることを示す。

【 0 0 9 2 】

図 1 8 は、本発明の一実施形態によるマイクロ LED ディスプレイ装置を説明する図である。

図 1 8 を参照すれば、本発明の一実施形態によるマイクロ LED ディスプレイ装置 1 0 0 0 は、マイクロ LED パネル 2 0 0、第 1 タイプの CMOS バックプレーン 5 0 0 及びパンプ 1 0 1 0 を含む。この時、第 1 タイプの CMOS バックプレーン 5 0 0 は、アクティブマトリクス回路部 5 0 5 と、アクティブマトリクス回路部 5 0 5 の（平面視で）左辺及び下辺に隣接した領域に配置される制御回路部 5 1 0 ~ 5 8 0 とを含む。

30

【 0 0 9 3 】

マイクロ LED パネル 2 0 0 は複数のマイクロ LED ピクセル 2 8 0 を含み、CMOS バックプレーン 5 0 0 は複数のマイクロ LED ピクセルの各々を個別的に駆動させるためにマイクロ LED ピクセルの各々に対応する複数の CMOS セル 5 0 1 を含む。この時、マイクロ LED パネル 2 0 0 のピクセル領域は CMOS バックプレーン 5 0 0 の AM（アクティブマトリクス）領域と対応する。

40

【 0 0 9 4 】

パンプ 1 0 1 0 は、マイクロ LED ピクセル 2 8 0 と CMOS セル 5 0 1 が対向するように配置された状態（図 1 8（a））で、マイクロ LED ピクセル 2 8 0 の各々とこれらの各々に対応する CMOS セル 5 0 1 とを電氣的に接続する（図 1 8（b））。

【 0 0 9 5 】

このようなマイクロ LED ディスプレイ装置 1 0 0 0 の製造工程を簡単に見てみれば、先ず、複数のパンプ 1 0 1 0 を CMOS バックプレーン 5 0 0 の CMOS セル 5 0 1 と共通セル 5 0 2 の上部に配置する（図 1 8（a））。そして、複数のパンプ 1 0 1 0 が配置された状態の CMOS バックプレーン 5 0 0 とマイクロ LED パネル 2 0 0 を互いに対向するようにして CMOS セル 5 0 1 とマイクロ LED ピクセル 2 8 0 を一対一対応させて

50

密着させた後に加熱する。そうすると、複数のバンプ１０１０が一旦、溶解し、それにより、ＣＭＯＳセル５０１とそれに対応するマイクロＬＥＤピクセル２８０が電氣的に接続され、且つ、共通セル５０２とそれに対応するマイクロＬＥＤパネル２００の共通電極２６０が電氣的に接続される状態となる（図１８（ｂ））。

【００９６】

一方、本実施形態においては、図８のマイクロＬＥＤパネル２００がマイクロＬＥＤディスプレイ装置１０００に用いられることを例示しているが、これに制限されず、上述した図１のマイクロＬＥＤパネル１００がマイクロＬＥＤディスプレイ装置１０００に用いられてもよいことは当業者に明らかなことである。

【００９７】

図１９は、本発明の他の実施形態によるマイクロＬＥＤディスプレイ装置を説明する図である。

図１９を参照すれば、本発明の他の実施形態によるマイクロＬＥＤディスプレイ装置１１００は、マイクロＬＥＤパネル３００、第２タイプのＣＭＯＳバックプレーン６００及びバンプ１１１０を含む。この時、第２タイプのＣＭＯＳバックプレーン６００は、アクティブマトリクス回路部６０５と、アクティブマトリクス回路部６０５の右辺及び下辺に隣接した領域に配置される制御回路部６１０～６８０とを含む。

【００９８】

マイクロＬＥＤパネル３００は複数のマイクロＬＥＤピクセル３８０を含み、ＣＭＯＳバックプレーン６００は複数のマイクロＬＥＤピクセルの各々を個別的に駆動させるためにマイクロＬＥＤピクセルの各々に対応する複数のＣＭＯＳセル６０１を含む。そして、バンプ１１１０は、マイクロＬＥＤピクセル３８０とＣＭＯＳセル６０１が対向するように配置された状態（図１９（ａ））で、マイクロＬＥＤピクセル２８０の各々とこれらの各々に対応するＣＭＯＳセル６０１とを電氣的に接続する（図１９（ｂ））。

【００９９】

このようなマイクロＬＥＤディスプレイ装置１１００の製造工程を簡単に見てみれば、先ず、複数のバンプ１１１０をＣＭＯＳバックプレーン６００のＣＭＯＳセル６０１と共通セル６０２の上部に配置する。そして、複数のバンプ１１１０が配置された状態のＣＭＯＳバックプレーン６００とマイクロＬＥＤパネル２００を互いに対向するようにしてＣＭＯＳセル６０１とマイクロＬＥＤピクセル２８０を一对一对向させて密着させた後に加熱する。そうすると、複数のバンプ１１１０が一旦、溶解し、それにより、ＣＭＯＳセル６０１とそれに対応するマイクロＬＥＤピクセル２８０が電氣的に接続され、共通セル６０２とそれに対応するマイクロＬＥＤパネル２００の共通電極２６０が電氣的に接続される状態となる。

【０１００】

同様に、本実施形態においては、マイクロＬＥＤパネル３００がマイクロＬＥＤディスプレイ装置１１００に用いられることを例示しているが、これに制限されず、例えば上述した図１のマイクロＬＥＤパネル１００がマイクロＬＥＤディスプレイ装置１１００に用いてもよいことは当業者に明らかなことである。

【０１０１】

図２０は、ディスプレイ大きさを水平方向に２倍拡張したマイクロＬＥＤディスプレイ装置を説明する図である。

図２０を参照すれば、第１タイプのマイクロＬＥＤディスプレイ装置１０００と第２タイプのマイクロＬＥＤディスプレイ装置１１００を平面視で互いに横方向（即ち、水平方向）に配置してディスプレイの大きさを２倍に拡張したマイクロＬＥＤディスプレイ装置１０を実現する。

【０１０２】

拡張されたマイクロＬＥＤディスプレイ装置１０は、第１タイプのマイクロＬＥＤディスプレイ装置１０００の第１表示領域（又は第１表示パネル）と第２タイプのマイクロＬＥＤディスプレイ装置１１００の第２表示領域（又は第２表示パネル）とを互いに対向す

10

20

30

40

50

るように構成してなる。この時、第 1 表示領域と第 2 表示領域との間の間隔を最小化するように構成する。

【 0 1 0 3 】

一例として、第 1 表示領域と第 2 表示領域との間の間隔（又は、距離、 d ）は下記一般式 1 によって決定される。

[数 1]

$$d = 40 + 2\alpha + \beta \quad (\text{一般式 1})$$

【 0 1 0 4 】

ここで、 40 (mm) は第 1 CMOS バックプレーンの端領域の幅 (20 mm) と第 2 CMOS バックプレーンの端領域の幅 (20 mm) を合算した値であり、 a (mm) はソーイング (Sawing、チップ化切断) 誤差であり、 b (mm) はモジュール組み立てマージンである。

【 0 1 0 5 】

図 8 及び図 9 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されていない場合、第 1 表示領域の端ピクセルと第 2 表示領域の端ピクセルとの間の間隔がピクセルピッチ (pixel pitch) に対応するように構成される。前記ピクセルとピクセルとの間の間隔 (gap) がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数 μm の大きさにギャップを最小化できる。

【 0 1 0 6 】

一方、図 1 及び図 2 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されている場合、前記共通電極を除いた連結部分の間隔 (gap) がピクセルピッチに対応するように構成される。同様に、前記連結部分の間隔 (gap) がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数 μm の大きさにギャップを最小化できる。

【 0 1 0 7 】

このように、第 1 タイプのマイクロ LED ディスプレイ装置 1000 と第 2 タイプのマイクロ LED ディスプレイ装置 1100 とを水平方向に結合してディスプレイの大きさを 2 倍に拡張できる。

【 0 1 0 8 】

図 21 は、ディスプレイ大きさを平面視で互いに縦方向（即ち、垂直方向）に 2 倍拡張したマイクロ LED ディスプレイ装置を説明する図である。

図 21 を参照すれば、第 1 タイプのマイクロ LED ディスプレイ装置 1000 と第 2 タイプのマイクロ LED ディスプレイ装置 1100 を平面視で縦方向（即ち、垂直方向）に配置してディスプレイ大きさを 2 倍に拡張したマイクロ LED ディスプレイ装置 20 を実現する。

【 0 1 0 9 】

拡張されたマイクロ LED ディスプレイ装置 20 は、第 1 タイプのマイクロ LED ディスプレイ装置 1000 の第 1 表示領域と第 2 タイプのマイクロ LED ディスプレイ装置 1100 の第 2 表示領域が互いに対向するように構成してなる。この時、第 1 表示領域と第 2 表示領域との間の間隔を最小化するように構成する。一例として、第 1 表示領域と第 2 表示領域との間の間隔 (d) は前記一般式 1 によって決定される。

【 0 1 1 0 】

図 8 及び図 9 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されていない場合、第 1 表示領域の端ピクセルと第 2 表示領域の端ピクセルとの間の間隔がピクセルピッチに対応するように構成される。一方、図 1 及び図 2 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されている場合、前記共通電極を除いた連結部分の間隔 (gap) がピクセルピッチに対応するように構成される。

【 0 1 1 1 】

このように、第 1 タイプのマイクロ LED ディスプレイ装置 1 0 0 0 と第 2 タイプのマイクロ LED ディスプレイ装置 1 1 0 0 を垂直方向に結合してディスプレイの大きさを 2 倍に拡張できる。

【 0 1 1 2 】

図 2 2 は、ディスプレイの大きさを 4 倍に拡張したマイクロ LED ディスプレイ装置を説明する図である。

図 2 2 を参照すれば、2 個の第 1 タイプのマイクロ LED ディスプレイ装置 1 0 0 0 と 2 個の第 2 タイプのマイクロ LED ディスプレイ装置 1 1 0 0 をマトリクス状に配列してディスプレイの大きさを 4 倍に拡張したマイクロ LED ディスプレイ装置 3 0 を実現する。

10

【 0 1 1 3 】

前記マトリクス配列構造において、第 1 タイプのマイクロ LED ディスプレイ装置 1 0 0 0 は拡張されたマイクロ LED ディスプレイ装置 3 0 の第 1 対角線方向に位置し、第 2 タイプのマイクロ LED ディスプレイ装置 1 1 0 0 は拡張されたマイクロ LED ディスプレイ装置 3 0 の第 2 対角線方向に位置することができる。

【 0 1 1 4 】

第 1 対角線方向に位置する第 1 タイプのマイクロ LED ディスプレイ装置 1 0 0 0 の何れか一つは、同一タイプの他のマイクロ LED ディスプレイ装置 1 0 0 0 を 1 8 0 度回転して配置されることができる。また、第 2 対角線方向に位置する第 2 タイプのマイクロ LED ディスプレイ装置 1 1 0 0 の何れか一つは、同一タイプの他のマイクロ LED ディスプレイ装置 1 1 0 0 を 1 8 0 度回転して配置されることができる。

20

【 0 1 1 5 】

拡張されたマイクロ LED モジュール 3 0 は、第 1 タイプのマイクロ LED モジュール 1 0 0 0 の第 1 表示領域と第 2 タイプのマイクロ LED モジュール 1 1 0 0 の第 2 表示領域が互いに対向するように構成されることができる。この時、第 1 表示領域と第 2 表示領域との間の間隔が最小化するように構成されることができる。一例として、第 1 表示領域と第 2 表示領域との間の間隔 (d) は一般式 1 によって決定される。

【 0 1 1 6 】

図 8 及び図 9 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極 (即ち、n 電極) が形成されていない場合、第 1 表示領域の端ピクセルと第 2 表示領域の端ピクセルとの間の間隔 (g a p) がピクセルピッチに対応するように構成される。一方、図 1 及び図 2 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極 (即ち、n 電極) が形成された場合、前記共通電極を除いた連結部分の間隔 (g a p) がピクセルピッチに対応するように構成される。

30

【 0 1 1 7 】

このように、第 1 タイプのマイクロ LED ディスプレイ装置 1 0 0 0 と第 2 タイプのマイクロ LED ディスプレイ装置 1 1 0 0 の方向転換及び組み合わせを通じてディスプレイの大きさを 4 倍に拡張できる。

【 0 1 1 8 】

以上では本発明の具体的な実施形態について説明したが、本発明の範囲から逸脱しない範囲内で種々の変形が可能であることは勿論である。よって、本発明の範囲は説明された実施形態に限定されず、後述する特許請求の範囲だけでなく、該特許請求の範囲と均等なものによって定めなければならない。

40

【 符号の説明 】

【 0 1 1 9 】

1 0 , 2 0 , 3 0 . . . マイクロ LED ディスプレイ装置
 1 0 0 、 2 0 0 . . . マイクロ LED パネル、マイクロ LED アレイ
 1 1 0 、 2 1 0 . . . 成長基板
 1 2 0 、 2 2 0 . . . 第 1 導電型半導体層

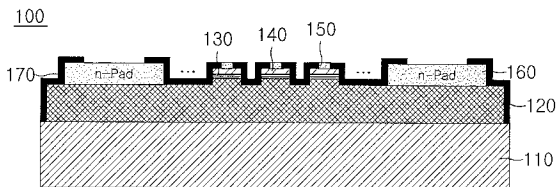
50

130、230	・・・活性層
140、240	・・・第2導電型半導体層
150、250、350	・・・第2導電型メタル層
160、260、360	・・・第1導電型メタル層
170、270	・・・パッシベーション層
180、280、380	・・・マイクロLEDピクセル
400、500、600	・・・CMOSバックプレーン
401、501、601	・・・CMOSセル
405、505、605	・・・アクティブマトリクス (Active Matrix)
) 回路部	
410、510、610	・・・スキャン駆動部
420、520、620	・・・第1データ駆動部
430、530、630	・・・第2データ駆動部
440、540、640	・・・ガンマ電圧生成部
450、550、650	・・・タイミング制御部
460、560、660	・・・スキャン信号検知パッド部
470、570、670	・・・データ出力検知パッド部
480、580、680	・・・入力パッド部
1000、1100	・・・マイクロLEDディスプレイ装置
1010、1110	・・・ポンプ

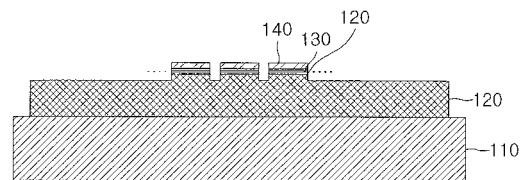
10

20

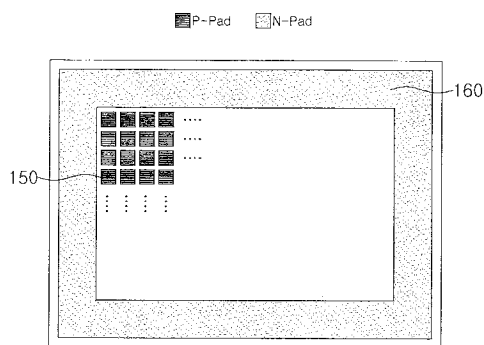
【図1】



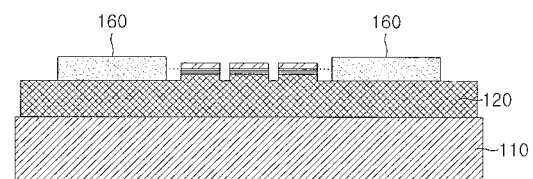
【図4】



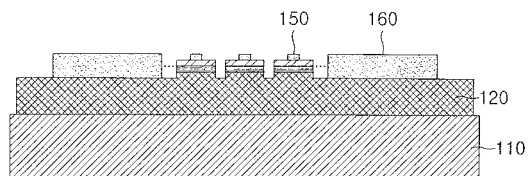
【図2】



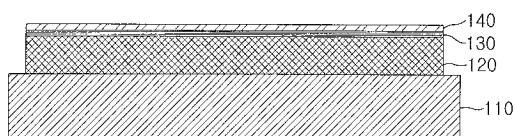
【図5】



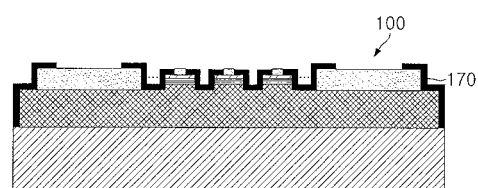
【図6】



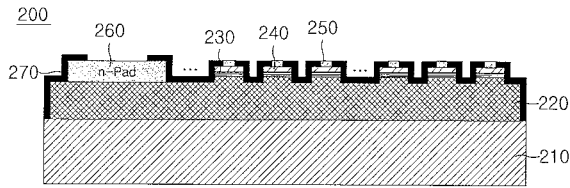
【図3】



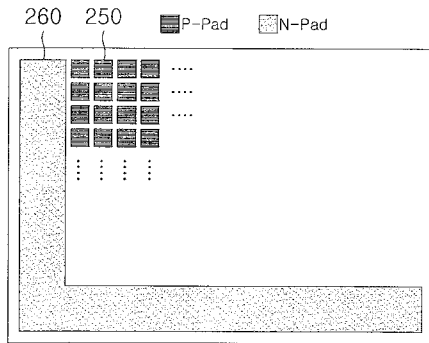
【図7】



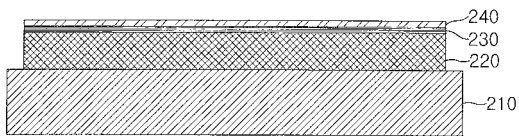
【図 8】



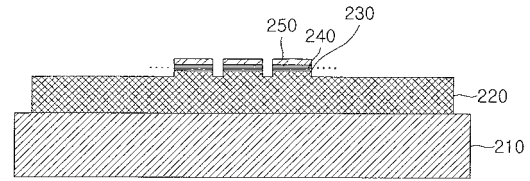
【図 9】



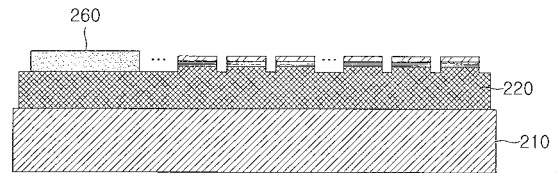
【図 10】



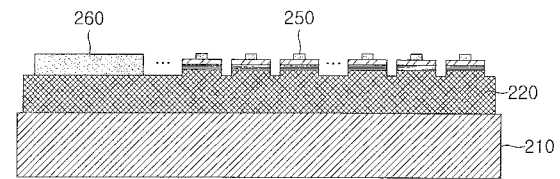
【図 11】



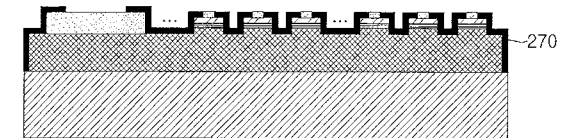
【図 12】



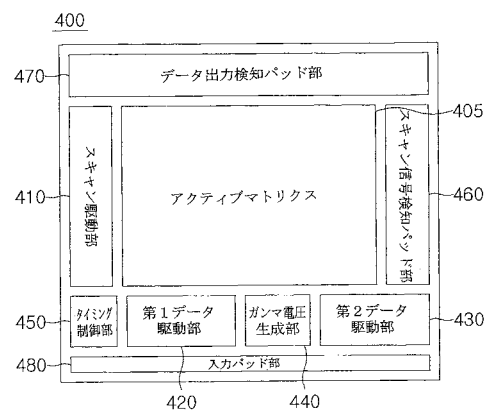
【図 13】



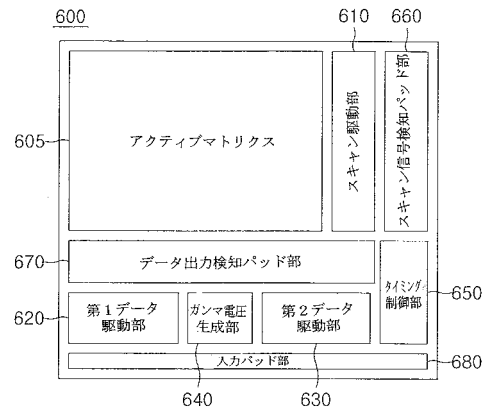
【図 14】



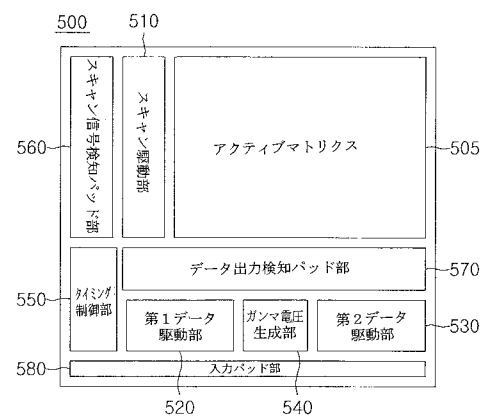
【図 15】



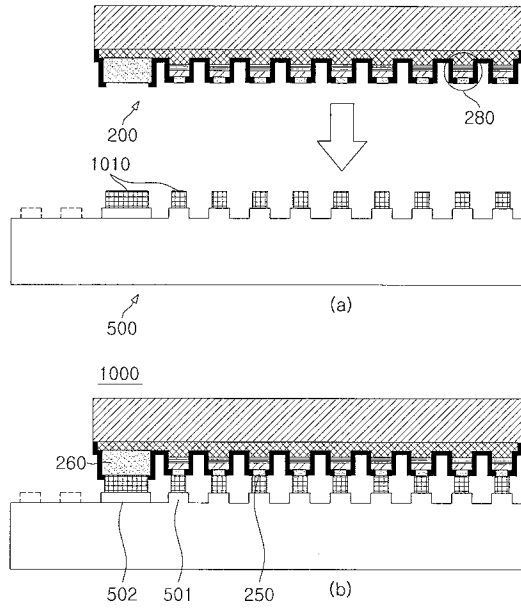
【図 17】



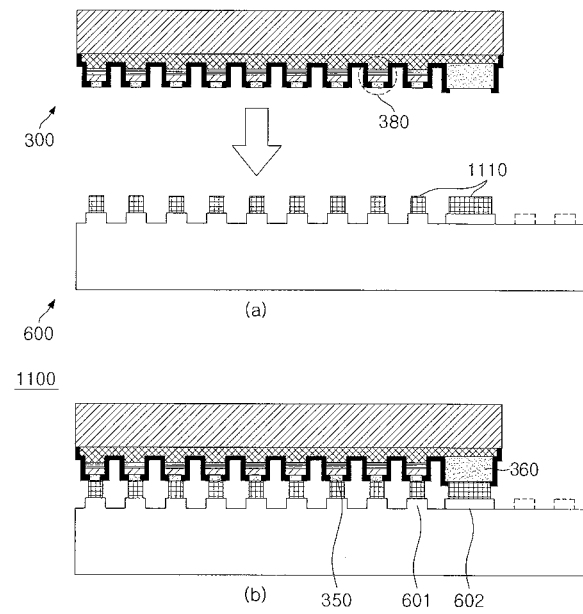
【図 16】



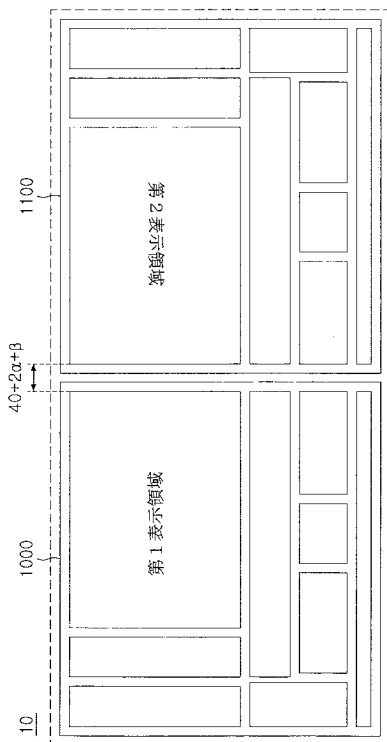
【図 18】



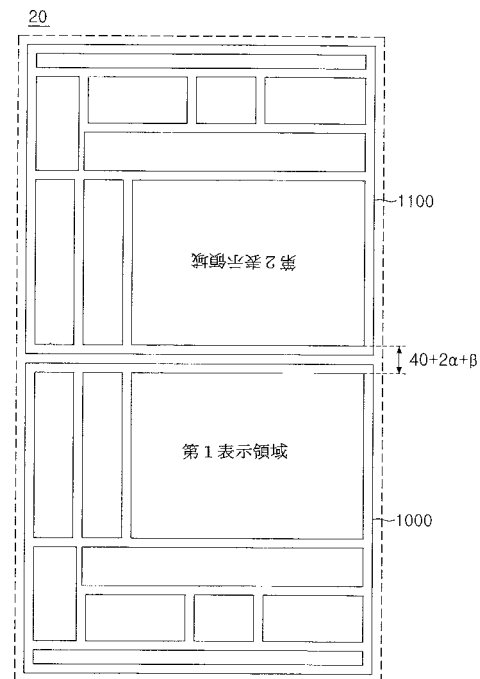
【図 19】



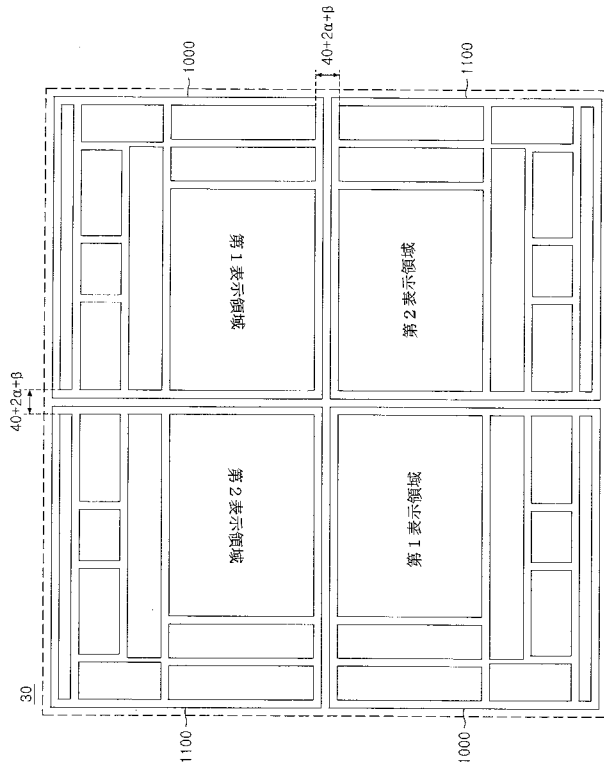
【図 20】



【図 21】



【図 2 2】



【手続補正書】

【提出日】平成30年3月27日(2018.3.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロLEDディスプレイ装置であって、

複数のマイクロLEDピクセルが行と列に配列された平面視で矩形状のマイクロLEDパネル、及び

前記複数のマイクロLEDピクセルに対応する複数のCMOSセルを備えるAM(Active Matrix、アクティブマトリクス)回路部と、前記AM回路部の外郭に配置される制御回路部とを含むマイクロLED駆動基板(back plane)を含み、

前記制御回路部は、前記マイクロLEDパネルの4辺のうち隣接する2辺に沿って配置され、

前記複数のマイクロLEDピクセルの共通電極として機能し、前記マイクロLEDパネルの外郭に沿って形成される第1導電型メタル層をさらに含み、

前記制御回路部の配置に応じた前記マイクロLEDパネルの2辺に位置する前記第1導電型メタル層を用いることを特徴とするマイクロLEDディスプレイ装置。

【請求項 2】

前記複数のマイクロLEDピクセルと前記複数のCMOSセルとを電気的に接続するバンプをさらに含むことを特徴とする、請求項1に記載のマイクロLEDディスプレイ装置。

【請求項 3】

前記マイクロLEDパネルは、前記マイクロLED駆動基板上にフリップチップボンディング (flip chip bonding) によって結合されることを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【請求項 4】

前記複数のマイクロLEDピクセルは、基板上に第 1 導電型半導体層、活性層及び第 2 導電型半導体層を順次成長させた後にエッチングして形成され、前記複数のマイクロLEDピクセルの垂直構造は、第 1 導電型半導体層、活性層及び第 2 導電型半導体層を順に含み、前記複数のマイクロLEDピクセルが形成されていない部分は、活性層及び第 2 導電型半導体層が除去されて第 1 導電型半導体層が露出されることを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【請求項 5】

前記複数のマイクロLEDピクセルが形成されていない部分の第 1 導電型半導体層上には、前記複数のマイクロLEDピクセルから離隔するように前記第 1 導電型メタル層が形成されることを特徴とする、請求項 4 に記載のマイクロLEDディスプレイ装置。

【請求項 6】

前記第 1 導電型メタル層は、前記第 1 導電型半導体層上で前記マイクロLEDパネルの外郭に沿って形成されることを特徴とする、請求項 5 に記載のマイクロLEDディスプレイ装置。

【請求項 7】

前記マイクロLED駆動基板は、前記第 1 導電型メタル層に対応するように形成された共通セルを含み、前記第 1 導電型メタル層と前記共通セルはバンプによって電氣的に接続されることを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【請求項 8】

前記第 1 導電型は n 型であり、前記第 2 導電型は p 型であることを特徴とする、請求項 4 に記載のマイクロLEDディスプレイ装置。

【請求項 9】

前記バンプは、前記複数の CMOS セルの各々に形成され、加熱によって溶解することによって、前記複数の CMOS セルの各々と前記複数の CMOS セルの各々に対応するマイクロLEDピクセルとが電氣的に接続されることを特徴とする、請求項 2 に記載のマイクロLEDディスプレイ装置。

【請求項 10】

前記制御回路部は、スキャン駆動部、第 1 データ駆動部、第 2 データ駆動部、ガンマ電圧生成部、タイミング制御部、スキャン信号検知パッド部、データ出力検知パッド部及び入力パッド部のうち少なくとも一つを含むことを特徴とする、請求項 1 に記載のマイクロLEDディスプレイ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

上記又は他の目的を達成するために、本発明の一側面によれば、複数のマイクロLEDピクセルが行と列に配列された平面視で矩形状のマイクロLEDパネル、及び前記複数のマイクロLEDピクセルに対応する複数の CMOS セルを備える AM (Active Matrix、アクティブマトリクス) 回路部と、前記 AM 回路部の外郭に配置される制御回路部とを含むマイクロLED駆動基板 (back plane) を含み、前記制御回路部は、前記マイクロLEDパネルの 4 辺のうち隣接する 2 辺に沿って配置され、前記複数のマイクロLEDピクセルの共通電極として機能し、前記マイクロLEDパネルの外郭に沿って形成される第 1 導電型メタル層をさらに含み、前記制御回路部の配置に応じた前記マ

マイクロLEDパネルの2辺に位置する前記第1導電型メタル層を用いることを特徴とする
マイクロLEDディスプレイ装置が提供される。

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 4 B	
	H 0 1 L 33/00 L	

(72)発明者 キム, ヨンピル
大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

(72)発明者 ムーン, ミョンジ
大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

(72)発明者 チャン, ハンビート
大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

(72)発明者 パク, ジェスーン
大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

F ターム(参考) 5C080 AA07 BB05 FF11 JJ06
5C094 AA14 BA03 BA25 CA19 DB01 EA07 EB05 FA02 FB12 FB14
5C380 AA03 AB06 CA57 CB37 CE05
5F142 BA32 CA11 CA13 CB23 DB24 GA02

专利名称(译)	微型LED显示装置及其制造方法		
公开(公告)号	JP2018185502A	公开(公告)日	2018-11-22
申请号	JP2017194601	申请日	2017-10-04
申请(专利权)人(译)	流明有限公司		
[标]发明人	シンウンソン チョドンヒー キムヨンピル ムーンミョンジ チャンハンビート パクジェスーン		
发明人	シン, ウンソン チョ, ドンヒー キム, ヨンピル ムーン, ミョンジ チャン, ハンビート パク, ジェスーン		
IPC分类号	G09G3/32 G09F9/33 G09G3/20 H01L33/00		
CPC分类号	H01L24/16 H01L25/167 H01L27/156 H01L2224/16148 H01L2924/12041 H01L2924/1426 H01L25/162 H01L25/18 H01L27/1214		
FI分类号	G09G3/32.A G09F9/33 G09G3/20.621.M G09G3/20.680.G G09G3/20.680.H G09G3/20.624.B H01L33/00.L		
F-TERM分类号	5C080/AA07 5C080/BB05 5C080/FF11 5C080/JJ06 5C094/AA14 5C094/BA03 5C094/BA25 5C094/CA19 5C094/DB01 5C094/EA07 5C094/EB05 5C094/FA02 5C094/FB12 5C094/FB14 5C380/AA03 5C380/AB06 5C380/CA57 5C380/CB37 5C380/CE05 5F142/BA32 5F142/CA11 5F142/CA13 5F142/CB23 5F142/DB24 5F142/GA02		
优先权	1020170052792 2017-04-25 KR		
其他公开文献	JP6343082B1		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种能够实现各种尺寸显示的微型LED显示装置。在平面图中具有矩形形状的微LED面板，其中多个微LED像素以行和列布置，以及AM（有源）面板，其包括与多个微LED像素对应的多个CMOS单元矩阵，有源矩阵）电路部分405，以及设置在AM电路部分外部的控制电路部分410到480，并且控制电路部分包括微LED并且沿着第二电极的四个边中的两个相邻边设置。The 15

